

MANUFACTURE OF SEMICONDUCTOR CRYSTALLINE SUBSTRATE

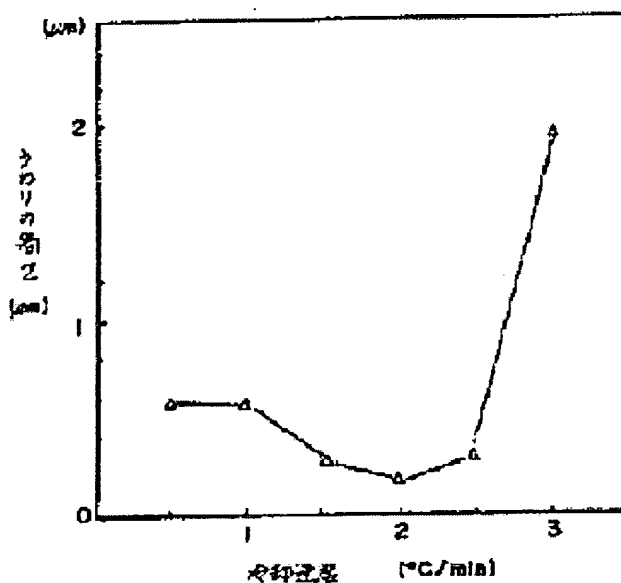
Patent number: JP3256324
Publication date: 1991-11-15
Inventor: MOMOI HAJIME
Applicant: NIPPON MINING CO
Classification:
- international: C30B19/10; C30B29/40; H01L21/20; H01L21/208;
C30B19/00; C30B29/10; H01L21/02; (IPC1-7):
C30B19/10; C30B29/40; H01L21/20; H01L21/208
- european:
Application number: JP19900054615 19900306
Priority number(s): JP19900054615 19900306

Report a data error here

Abstract of JP3256324

PURPOSE: To grow a mixed crystal layer having a small wavy surface by bringing material solution in which solute made of group III element and group V element is dissolved in group III element solvent into contact with a substrate, and cooling the solution at a specific cooling speed to cool it and to grow a mixed crystal layer.

CONSTITUTION: Material solution in which solute made of group III element and group V element is dissolved in group III solvent is brought into contact with a substrate in which group III-V compound semiconductor mixed crystal containing Ga and P is epitaxially grown on a group III-V compound semiconductor substrate like GaAs or GaP by a vapor growing method, and the solution is cooled at a cooling speed of 1.5 to 2.5 deg.C/min to cool and to grown the mixed crystal layer. Since the speed is set to 1.5 deg.C or higher, the growing speed is accelerated to suppress a waviness, and since the speed is set to 2.5 deg.C or lower, composition overcooling can be avoided.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

平3-256324

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月15日

H 01 L 21/208
C 30 B 19/10
29/40
H 01 L 21/20

Z 7630-5F
8924-4G
7158-4G
7739-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体結晶基板の製造方法

⑯ 特 願 平2-54615

⑰ 出 願 平2(1990)3月6日

⑱ 発 明 者 桃 井 元 埼玉県戸田市新曽南3丁目17番35号 日本鉱業株式会社内

⑲ 出 願 人 日本鉱業株式会社 東京都港区虎ノ門2丁目10番1号

⑳ 代 理 人 弁理士 大日方 富雄 外1名

明 細 書

1. 発明の名称

半導体結晶基板の製造方法

2. 特許請求の範囲

(1) III-V族化合物半導体基板上に気相成長法でGa及びPを含むIII-V族化合物半導体混晶をエピタキシャル成長させてなる基板に、III族元素の溶媒中にIII族元素及びV族元素からなる溶質を溶解させてなる原料溶液を接触させ、冷却して、混晶層を成長させるにあたり、原料溶液を1.5℃/分以上2.5℃/分以下の冷却速度で冷却させるようにしたことを特徴とする半導体結晶基板の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体結晶基板の製造技術に関し、例えばGaAsまたはGaPのようなIII-V族化合物半導体結晶基板上に気相成長法により形成したGa及びPを含む3元素、4元素の混晶エピタキシャル層の上に、LPE(液相エピタキシー)

法で混晶層を成長させる場合に利用して効果的な技術に関する。

[従来の技術]

従来、GaAs基板上に気相成長法で組成勾配層を有するGaAsPエピタキシャル層を成長した基板が提案され、発光ダイオード用基板として量産されてきた。しかし、このGaAsP基板は、GaAsとGaAsPとの格子定数が1%以上異なるため、結晶性はGaAs基板に比べ劣り、表面にはクロスハッチパターンが形成されている。一方でこのGaAsP基板上にGaInP系のエピタキシャル層をLPE法で成長させることで、より高輝度で短波長の発光素子を作成する試みがなされてきた。

[発明が解決しようとする問題点]

クロスハッチパターンのあるGaAsP基板上にLPE法でGaInPの混晶層の成長を行なうと表面モフォロジー(表面状態)の良いものが得られず、表面にはピッチが50~200μmで高さが0.5~1.5μmに及ぶ特有のうねり模様

が出現する (Japanese Journal of Applied Physics (1987) 26巻、112頁～116頁 (S. Fujii et al) や Omuron Technics No. 68 (1981) 21頁～33頁 (M. Shimura et al))。この種のうねりの高さは、エピタキシャル膜の厚さとある程度関係があり、うねりの高さの成長膜厚に対する比率は10～30%に達する。しかし、このメカニズムについてはよく理解されておらず、このようなうねりが存在する基板を用いてデバイスを作成すると歩留りの低下を招くという欠点があった。

本発明は上記の欠点を解決したもので、その目的とするところは、LPE法でクロスハッチパターンのある化合物半導体基板上に混晶層を成長させる場合に表面のうねりの少ない混晶層を成長させるような条件を与えることにある。

〔問題点を解決するための手段〕

本発明者らは、LPE法により、混晶層を成長

させる場合に、うねりを減少させることができる条件を見つけるべく種々の実験を行なった。

その結果、液相成長時における溶液の冷却速度とうねりの大きさとの間に相関があり、冷却速度を適当な範囲に設定することでうねりを小さくできることを見い出した。すなわち、従来は1.0℃/分以下の速度で冷却していたものを、1.5℃/分～2.5℃/分の速度にすることでうねりを小さくできることを見い出した。

ところで、従来GaInP系の液相成長では、Gaの偏析が起こり易く、混晶層の組成が厚みとともに大きく変化してしまうと考えられていたため、冷却速度は1.0℃/分以下と比較的に遅い領域で行なわれていた。しかるに本発明者らの実験結果によれば、(100)面のGaAsP基板上にGaInPを10μm以上厚く成長させても熱力学的に予想されるような偏析に伴う組成変化は観察されなかった。従って、GaAsP基板を用いて、GaInPの液相エピタキシャル成長を行なう際に、冷却速度を高めることで何ら問題

なくうねりを小さくできるとの結論に達した。

ただし、冷却速度が速すぎると、組成的過冷却現象が起きて、成長層-溶液境界で溶質原子の分布が不安定となり均一な厚みの成長層が得られなくなる。

本発明は上記知見に基づいてなされたもので、GaAsまたはGaPのようなⅢ-Ⅴ族化合物半導体基板上に気相成長法でGa及びPを含むⅢ-Ⅴ族化合物半導体混晶をエピタキシャル成長させてなる基板に、Ⅲ族元素の溶媒体にⅢ族元素及びⅤ族元素からなる溶質を溶解させてなる原料溶液を接触させ、冷却して、混晶層を成長させるにあたり、原料溶液を1.5℃/分以上2.5℃/分以下の冷却速度で冷却させることを提案するものである。

〔作用〕

上記した手段によれば、冷却速度を1.5℃/分以上としたので、成長速度を早めることにより、うねりを抑制できるとともに、冷却速度を2.5℃/分以下としたので、組成的過冷却現象を回避

することができ、その結果、液相エピタキシャル法で成長した混晶層表面のうねりを小さくするとともに、組成の変化の少ない一定組成の混晶層を成長させることができる。

〔実施例〕

一例として、スライドポートを用いた液相エピタキシャル成長装置を用いて、GaAsPエピタキシャル基板上にGaInP混晶層をエピタキシャル成長させた。

GaAsPエピタキシャル基板は、面方位が〔100〕方向から2°〔011〕方向へ傾斜したGaAs基板上に気相成長法で厚さ30μmのGaAsP組成勾配層の上に約20μmのGaAs...P...組成一定層を成長させたものを用いた。このエピタキシャル基板の表面にはクロスハッチパターンが見られた。上記クロスハッチパターンのあるエピタキシャル基板上に810℃で9.889gのInの溶媒に0.189gのInPと0.121gのGaPをよく溶かし込んだのち、785℃まで徐々に冷却し、該溶液とエピタキシャル

基板を接触させ、0.5℃/分、1.0℃/分、1.5℃/分、2.0℃/分、2.5℃/分および3.0℃/分の冷却速度でそれぞれ10分間冷却してGaInP混晶をエピタキシャル成長させた。

その結果を第1図に示す。

表 1

冷却速度(℃/分)	うねりの高さの 平均値 h (μm)	h/H
0.5	0.6	0.11
1.0	0.6	0.07
1.5	0.45	0.06
2.0	0.3	0.03
2.5	0.45	0.05
3.0	2	0.15

なお、エピタキシャル層の厚みは当然のことながら、冷却速度が速いほど厚くなった。そこで、エピタキシャル層の厚みとうねりとの相関を見るため、うねりの高さ h とエピタキシャル層の厚み H との比 h/H を計算で求めた。その結果も表1

相成長させる実験を行なった。結果は表1や第1図のものとあまり変わらなかった。このことにより、混晶層表面のうねりを低減するには溶液冷却速度を調節する方法が最も良く、基板のオフアングルや溶液組成、温度は、うねりの発生と関係しないことが分かった。

なお、本発明はGaInP混晶の液相成長に限定せず、InGaAsP系やAlGaInP系の混晶をLPE法で成長させる場合に利用できる。

【発明の効果】

以上に説明したごとくこの発明は、Ⅲ-V族化合物半導体基板上に気相成長法Ga及びPを含むⅢ-V族化合物半導体混晶をエピタキシャル成長させてなる基板にⅢ族元素の溶媒体にⅢ族元素及びV族元素からなる溶質を溶解させてなる原料溶液を接触させて冷却し、混晶層を成長させるにあたり、原料溶液を1.5℃/分以上2.5℃/分以下の冷却速度で冷却させるようにしたので、成長速度を早めることによりうねりを抑制できるとともに、冷却速度を2.5℃/分以下としたの

に示した。

表1および第1図により、冷却速度を1.5～2.5℃/分とした場合、うねりの高さを0.5 μm 以下に抑えることができることが分かる。

また、上記方法で得られた混晶層の組成をEPMA法（電子プローブマイクロアナライザ）でGaとPおよびInの量を検出することで調べたところ第2図のような結果が得られた。

第2図において、符号SはGaAs基板、GはGaAsP組成勾配層、Cは組成一定層、MはGaInP混晶層の部分である。同図より液相成長中の偏析はそれほど顕著でないことが分かる。

比較のため基板として、(100)面ジャストのGaAs基板と面方位を[100]方向から[011]方向へ2°傾けたGaAs基板上にGaAsP組成勾配層および組成一定層を気相成長させたもの、さらに気相成長後エッチングやポリッシングを行なった基板を用いて、上記と同一条件の下でGaInPを液相成長させる実験や仕込み溶液組成を変えたり、溶液初期温度を変えて液

で、組成的過冷却現象を回避することができ、その結果、液相エピタキシー法で成長した混晶層表面のうねりを小さくするとともに、組成の変化のない一定組成の混晶層を成長させることができる。これによって、この基板を用いた発光ダイオードのような電子デバイスの歩留りを向上させることができるという効果がある。

4. 図面の簡単な説明

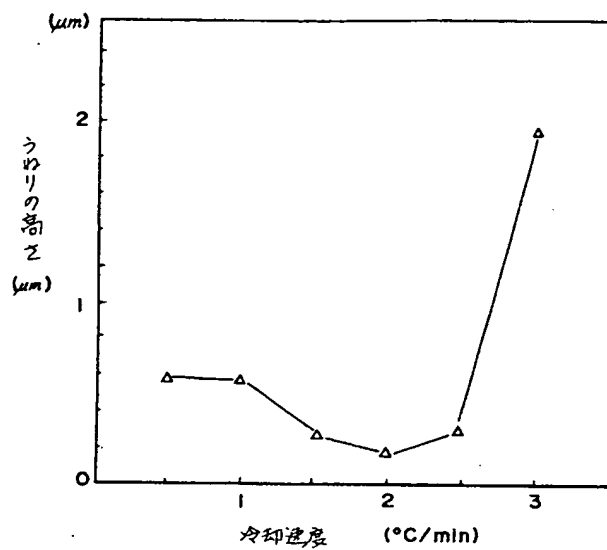
第1図はLPE法により、GaInP混晶を成長させる際の冷却速度と混晶層表面のうねりの高さとの関係を示す相関図、

第2図は本発明を適用して得られたエピタキシャル基板をEPMA法で測定したときの厚み方向の構成元素の含有量を示すグラフである。

代理人 弁理士 大日方富雄
弁理士 荒船博司



第 1 図



第 2 図

